

<Priority Document Translation>

T. W. H. H. H.
9.24.01
H. 2

Jc872 U.S. PTO

09/924301



THE KOREAN INDUSTRIAL
PROPERTY OFFICE

This is to certify that the following application
annexed hereto is a true copy from the records of the
Korean Industrial Property Office.

Application Number : 2000-47841 (Patent)

Date of Application : August 18, 2000

Applicant(s) : HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

November 30, 2000

COMMISSIONER

HA085

Jc872 U.S. PRO
09/924301



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

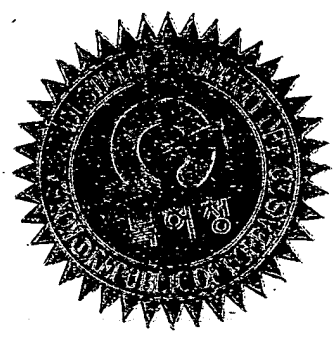
This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 47841 호
Application Number

출원년월일 : 2000년 08월 18일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT



2000 년 11 월 30 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2000.08.18
【발명의 명칭】 트랜스퍼 트랜지스터 게이트 측벽에 비대칭 절연막 스페이서를 구비하는 이미지 센서 및 그 제조 방법
【발명의 영문명칭】 Image sensor having nonsymmetric spacer on each side wall of transfer transistor gate electrode and method for forming the same
【출원인】
【명칭】 현대전자산업주식회사
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 박해천
【대리인코드】 9-1998-000223-4
【포괄위임등록번호】 1999-008448-1
【대리인】
【성명】 원석희
【대리인코드】 9-1998-000444-1
【포괄위임등록번호】 1999-008444-1
【발명자】
【성명의 국문표기】 이원호
【성명의 영문표기】 LEE, Won Ho
【주민등록번호】 720807-1182513
【우편번호】 156-090
【주소】 서울특별시 동작구 사당동 105번지 신동아아파트 407-140
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
박해천 (인) 대리인
원석희 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 8 항 365,000 원

【합계】 401,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 전압 스윙폭의 감소를 방지하며 암전류의 증가를 억제할 수 있는 이미지 센서 제조 및 그 제조 방법에 관한 것으로, 광감지 영역인 포토다이오드에서 발생된 광전하를 신호처리 영역으로 전달하는 트랜스퍼 트랜지스터의 게이트 전극 일측면에 형성되며 포토다이오드 영역과 중첩되는 제1 절연막 스페이서의 폭이, 트랜스퍼 트랜지스터의 게이트 전극 타측면에 형성되며 플로팅 확산영역과 중첩되는 제2 절연막 스페이서의 폭보다 큰 이미지를 제공하는데 특징이 있다. 또한 본 발명은 열산화 또는 화학기상증착 공정을 이용한 산화막 형성 방법을 이용하여 트랜스퍼 트랜지스터의 게이트 전극 일측면에 형성되며 포토다이오드 영역과 중첩되는 제1 절연막 스페이서의 폭은 크게 형성하고, 트랜스퍼 트랜지스터의 게이트 전극 타측면에 형성되며 플로팅 확산영역과 중첩되는 제2 절연막 스페이서의 폭은 보다 작게 형성하는데 또 다른 특징이 있다.

【대표도】

도 3e

【색인어】

이미지 센서, 트랜스퍼 트랜지스터, 게이트, 절연막 스페이서, 비대칭

【명세서】

【발명의 명칭】

트랜스퍼 트랜지스터 게이트 측벽에 비대칭 절연막 스페이서를 구비하는 이미지 센서 및 그 제조 방법{Image sensor having nonsymmetric spacer on each side wall of transfer transistor gate electrode and method for forming the same}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 CMOS 이미지 센서의 단위화소 구조를 개략적으로 보이는 단면도,

도 2는 종래 기술에 따라 광감지를 위한 포토다이오드 영역과 광전하를 위한 트랜스퍼 트랜지스터를 형성한 것을 보이는 공정 단면도,

도 3a 내지 도 3e는 본 발명의 제1 실시예에 따른 트랜스퍼 트랜지스터의 비대칭 스페이서 형성 공정 단면도,

도 4a 내지 도 4g는 본 발명의 제2 실시예에 따른 트랜스퍼 트랜지스터의 비대칭 스페이서 형성 공정 단면도.

도면의 주요부분에 대한 도면 부호의 설명

33, 43: 게이트 전극

34, 44: n형 불순물 도핑영역

35A, 36A, 36B, 46A, 47A, 47B: 산화막 스페이서

37, 48: p형 불순물 도핑영역

38, 49: 플로팅 확산영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 이미지 센서 제조 분야에 관한 것으로, 특히 전압 스윙폭의 감소를 방지하며 암전류의 증가를 억제할 수 있는 이미지 센서 제조 및 그 제조 방법에 관한 것이다.
- <10> 이미지 센서(image sensor)는 1차원 또는 2차원 이상의 광학 정보를 전기신호로 변환하는 장치이다. 이미지 센서의 종류는 크게 나누어 촬상관과 고체 촬상 소자로 분류된다. 촬상관은 텔레비전을 중심으로 하여 화상처리기술을 구사한 계측, 제어, 인식 등에서 널리 상용되며 응용 기술이 발전되었다. 시판되는 고체의 이미지 센서는 MOS(metal-oxide-semiconductor)형과 CCD(charge coupled device)형의 2종류가 있다.
- <11> CMOS 이미지 센서는 CMOS 제조 기술을 이용하여 광학적 이미지를 전기적신호로 변환시키는 소자로서, 화소수 만큼 MOS트랜지스터를 만들고 이것을 이용하여 차례차례 출력을 검출하는 스위칭 방식을 채용하고 있다. CMOS 이미지 센서는, 종래 이미지 센서로 널리 사용되고 있는 CCD 이미지센서에 비하여 구동 방식이 간편하고 다양한 스캐닝 방식의 구현이 가능하며, 신호처리 회로를 단일칩에 집적할 수 있어 제품의 소형화가 가능할 뿐만 아니라, 호환성의 CMOS 기술을 사용하므로 제조 단가를 낮출 수 있고, 전력 소모 또한 크게 낮다는 장점을 지니고 있다.

<12> 도 1은 4개의 트랜지스터와 2개의 커패시턴스 구조로 이루어지는 CMOS 이미지센서의 단위화소를 보이는 회로도로서, 광감지를 위한 포토다이오드(PD)와 4개의 NMOS트랜지스터로 구성되는 CMOS 이미지센서의 단위화소를 보이고 있다. 4개의 NMOS트랜지스터 중 트랜스퍼 트랜지스터(Tx)는 포토다이오드(PD)에서 생성된 광전하를 플로팅 확산영역으로 운송하는 역할을 하고, 리셋 트랜지스터(Rx)는 신호검출을 위해 상기 플로팅 확산영역에 저장되어 있는 전하를 배출하는 역할을 하고, 드라이브 트랜지스터(Dx)는 소스팔로워(Source Follower)로서 역할하며, 셀렉트 트랜지스터(Sx)는 스위칭(Switching) 및 어드레싱(Addressing)을 위한 것이다. 도면에서 'Cf'는 플로팅 확산영역이 갖는 커패시턴스를, 'Cp'는 포토다이오드가 갖는 커패시턴스를 각각 나타낸다.

<13> 이와 같이 구성된 이미지센서 단위화소에 대한 동작은 다음과 같이 이루어진다. 처음에는 리셋 트랜지스터(Rx), 트랜스퍼 트랜지스터(Tx) 및 셀렉트 트랜지스터(Sx)를 온(on)시켜 단위화소를 리셋시킨다. 이때 포토다이오드(PD)는 공핍되기 시작하여 커패시턴스 Cp는 전하축적(carrier charging)이 발생하고, 플로팅 확산영역의 커패시턴스 Cf는 공급전압 VDD 전압까지 전하충전된다. 그리고 트랜스퍼 트랜지스터(Tx)를 오프시키고 셀렉트 트랜지스터(Sx)를 온시킨 다음 리셋트랜지스터(Rx)를 오프시킨다. 이와 같은 동작 상태에서 단위화소 출력단(Out)으로부터 출력전압 V1을 읽어 버퍼에 저장시키고 난 후, 트랜스퍼 트랜지스터(Tx)를 온시켜 빛의 세기에 따라 변화된 커패시턴스 Cp의 캐리어들을 커패시턴스 Cf로 이동시킨 다음, 다시 출력단(Out)에서 출력전압 V2를 읽어들이어 V1 - V2에 대한 아날로그 데이터를 디지털 데이터로 변경시키므로 단위화소에 대한 한 동작주기가 완료된다.

<14> 도 2는 종래 기술에 따라 광감지를 위한 포토다이오드 영역과 광전하를 위한 트랜

스퍼 트랜지스터를 형성한 것을 보이는 공정 단면도로서, p형 실리콘 기판(20)에 필드산화막(21), n형 불순물 도핑영역(21), n형 불순물 도핑영역(22)과 접하여 그와 함께 포토다이오드를 이루는 p형 불순물 도핑영역(23), 상기 p형 불순물 도핑영역(23)과 이격되어 형성된 플로팅(floating) 확산영역(24), p형 불순물 도핑영역(23)과 플로팅 확산영역(24) 사이의 실리콘 기판(20) 상에 형성된 게이트 절연막(25) 및 게이트 전극(26)을 형성하고, 게이트 전극(26) 측벽에 절연막 스페이서(27)를 형성한 상태를 보이고 있다.

<15> 도 2에 보이는 바와 같이 종래 트랜스퍼 트랜지스터의 게이트 전극(26) 측벽에 형성되는 절연막 스페이서(27)는 대칭적으로 형성된다. 플로팅 확산영역(24)과 절연막 스페이서(27)의 중첩폭(x)이 증가하면 그에 따라 포토다이오드를 이루는 n형 불순물 도핑영역(21)과 절연막 스페이서(27)의 중첩폭(x')도 증가하여 이미지 센서의 암전류(dark current) 특성이 우수해진다.

<16> 그러나 다음의 수학식 1에 보이는 바와 같이 커패시턴스(C)가 증가할수록 전압 스윙폭(ΔV)을 감소시키는 역효과를 나타낸다.

<17> 【수학식 1】

$$\Delta V = \frac{\Delta Q}{C}$$

<18> 한편, 전압 스윙폭을 증가시키기 위해 플로팅 확산영역(24)과 절연막 스페이서(27)의 중첩폭(x)이 감소하면 그에 따라 포토다이오드를 이루는 n형 불순물 도핑영역(21)과 절연막 스페이서(27)의 중첩폭(x')도 감소하여 암전류가 증가하는 문제점이 있다

【발명이 이루고자 하는 기술적 과제】

<19> 상기와 같은 문제점을 해결하기 위한 본 발명은 전압 스윙폭의 감소를 방지하며 암 전류의 증가를 억제할 수 있는 이미지 센서 제조 및 그 제조 방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<20> 상기와 같은 목적을 달성하기 위한 본 발명은 광감지 수단 및 상기 광감지 수단으로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서에 있어서, 반도체 기판; 상기 반도체 기판에 형성된 광감지 수단; 상기 광감지 수단과 이격하여 형성된 트랜스퍼 트랜지스터의 게이트 전극; 상기 게이트 전극 타단의 상기 반도체 기판에 형성된 플로팅 확산영역; 상기 게이트 전극의 일측면에 형성되며 그 일부가 상기 광감지 수단의 일부와 중첩되는 제1 절연막 스페이서; 및 상기 게이트 전극의 타측면에 형성되며 그 일부가 상기 플로팅 확산영역의 일부와 중첩되고 상기 제1 절연막 스페이서보다 그 폭이 작은 제2 절연막 스페이서를 포함하는 이미지 센서를 제공한다.

<21> 또한 상기 목적을 달성하기 위한 본 발명은, 광감지를 위한 포토다이오드 및 상기 포토다이오드로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서의 제조 방법에 있어서, 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 제1 산화막을 형성하는 제2 단계; 상기 제1 산화막을 전면식각하여 상기 게이트 전극의 일측면에 제1 산

화막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제2 산화막 스페이서를 형성하는 제3 단계; 상기 제2 산화막 스페이서를 선택적으로 제거하는 제4 단계; 상기 제4 단계가 완료된 전체 구조 상에 제2 산화막을 형성하는 제5 단계; 및 상기 제2 산화막을 전면식각하여 상기 제1 산화막 스페이서 측벽에 제3 절연막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제4 산화막 스페이서를 형성하는 제6 단계를 포함하는 이미지 센서 제조 방법을 제공한다.

<22> 또한 상기 목적을 달성하기 위한 본 발명은, 광감지를 위한 포토다이오드 및 상기 포토다이오드로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서의 제조 방법에 있어서, 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 일단의 상기 반도체 기판 내에 선택적으로 불순물을 이온주입하여 포토다이오드를 이루 제1 불순물 영역을 형성하는 제2 단계; 상기 제2 단계가 완료된 전체 구조 상에 제1 산화막을 형성하는 제3 단계; 상기 제1 산화막을 전면식각하여 상기 게이트 전극의 일측면에 상기 제1 불순물 영역과 중첩되는 제1 산화막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제2 산화막 스페이서를 형성하는 제4 단계; 상기 제2 산화막 스페이서를 선택적으로 제거하는 제5 단계; 상기 제5 단계가 완료된 전체 구조 상에 제2 산화막을 형성하는 제6 단계; 상기 제2 산화막을 전면식각하여 상기 제1 산화막 스페이서 측벽에 제3 절연막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제4 산화막 스페이서를 형성하는 제7 단계; 선택적 이온주입 공정을 실시하여, 그 하부면 및 일측면이 상기 제1 불순물 도핑영역과 접하여 상기 제1 불순물 도핑영역과 함께 포토다이오드를 이루며 상기 제1 산화막 스페이서 및 상기 제2 산화막 스페이서의 폭만큼 상기 트랜스퍼 트랜지스터와 이격되는 제2 불순물

도핑영역을 상기 반도체 기판 표면에 형성하는 제8 단계; 및 상기 반도체 기판 내에 불순물을 선택적으로 이온주입하여 상기 게이트 전극 타단과 이웃하며 그 일부가 상기 제4 산화막 스페이서와 중첩되는 플로팅 확산영역을 형성하는 제9 단계를 포함하는 이미지 센서 제조 방법을 제공한다.

<23> 또한 상기 목적을 달성하기 위한 본 발명은, 광감지를 위한 포토다이오드 및 상기 포토다이오드로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서의 제조 방법에 있어서, 반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 일단의 상기 반도체 기판 내에 선택적으로 불순물을 이온주입하여 포토다이오드를 이룰 제1 불순물

영역을 형성하는 제2 단계; 상기 제2 단계가 완료된 전체 구조 상에 질화막을 형성하는 제3 단계; 상기 질화막을 선택적으로 제거하여 게이트 전극의 표면 및 그 일단에 접하는 상기 반도체 기판을 노출시키는 제4 단계; 상기 제4 단계가 완료된 전체 구조 상에 제1 산화막을 증착하고, 상기 제1 산화막 상에 상기 게이트 전극 일측면의 질화막을 덮는 식각마스크를 형성하는 제5 단계; 상기 식각마스크로 덮이지 않은 상기 제1 산화막 및 질화막을 식각해서 상기 반도체 기판을 노출시키면서, 상기 식각마스크로 덮인 상기 제1 산화막을 게이트 전극 일측면에 잔류시키고, 상기 식각마스크를 제거하는 제6 단계; 상기 제1 산화막을 식각하여 상기 게이트 전극의 일측면에 제1 산화막 스페이서를 형성하는 제7 단계; 상기 제7 단계가 완료된 전체 구조 상에 제2 산화막을 형성하는 제8 단계; ... 상기 제2 산화막을 전면식각하여 상기 제1 산화막 스페이서 측벽에 제2 산화막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제3 산화막 스페이서를 형성하는 제9 단계; 선택적 이온주입 공정을 실시하여, 그 하부면 및 일측면이 상기 제1 불순물 도핑 영역과 접하여 상기 제1 불순물 도핑영역과 함께 포토다이오드를 이루며 상기 제1 산화막 스페이서 및 상기 제2 산화막 스페이서의 폭만큼 상기 트랜스퍼 트랜지스터와 이격되는 제2 불순물 도핑영역을 상기 반도체 기판 표면에 형성하는 제8 단계; 및 상기 반도체 기판 내에 불순물을 선택적으로 이온주입하여 상기 게이트 전극 타단과 이웃하며 그 일부가 상기 제3 산화막 스페이서와 중첩되는 플로팅 확산영역을 형성하는 제9 단계를 포함하는 이미지 센서 제조 방법을 제공한다.

<24> 본 발명은 광감지 영역인 포토다이오드에서 발생된 광전하를 신호처리 영역으로 전달하는 트랜스퍼 트랜지스터의 게이트 전극 일측면에 형성되며 포토다이오드 영역과 중

칩되는 제1 절연막 스페이서의 폭이, 트랜스퍼 트랜지스터의 게이트 전극 타측면에 형성되며 플로팅 확산영역과 중첩되는 제2 절연막 스페이서의 폭보다 큰 이미지 센서를 제공하는데 특징이 있다.

<25> 또한 본 발명은 열산화 또는 화학기상증착 공정을 이용한 산화막 형성 방법을 이용하여 트랜스퍼 트랜지스터의 게이트 전극 일측면에 형성되며 포토다이오드 영역과 중첩되는 제1 절연막 스페이서의 폭은 크게 형성하고, 트랜스퍼 트랜지스터의 게이트 전극 타측면에 형성되며 플로팅 확산영역과 중첩되는 제2 절연막 스페이서의 폭은 보다 작게 형성하는데 또 다른 특징이 있다.

<26> 이하 첨부된 도면 도 3a 내지 도 3e를 참조하여 본 발명의 제1 실시예에 따른 이미지 센서 제조 방법을 설명한다.

<27> 먼저 도 3a에 도시한 바와 같이 p형 실리콘 기판(30)에 필드산화막(31)을 형성하고, 게이트 절연막(32) 및 게이트 전극(33)을 형성한 다음 게이트 전극(33) 일단의 실리콘 기판(30) 내에 n형 불순물을 이온주입해서 포토다이오드를 이루는 n형 불순물 영역(34)을 형성하고, 열산화 공정을 실시하여 전체 구조 상에 제1 산화막(35)을 증착한다. 제1 산화막(35)의 두께(a)는 게이트 전극(33)의 일측면에 형성되어 n형 불순물 영역(34)과 중첩될 제1 산화막 스페이서의 폭을 고려하여 결정한다.

<28> 다음으로 도 3b에 보이는 바와 같이 제1 산화막(35)을 전면식각하여 게이트 전극(33)의 일측면에 n형 불순물 영역(34)과 중첩되는 제1 산화막 스페이서(35A)를 형성함과 동시에 게이트 전극(33)의 타측면에 제2 산화막 스페이서(35B)를 형성한 다음, 제1 산화

막 스페이서(35A)를 덮는 포토레지스트 패턴(PR)을 형성한다. 상기 제1 산화막 스페이서(35A) 및 상기 제2 산화막 스페이서(35B)의 폭은 'L1'으로 동일하다. 한편, 상기 포토레지스트 패턴(PR)은 제2 산화막 스페이서(35B) 제거를 위한 식각공정에서 제1 산화막 스페이서(35A)가 손상되는 것을 방지하기 위한 것으로서, 포토다이오드 영역 또는 n형 불순물 영역(34)을 정의하기 위한 마스크와 네가티브 포토레지스트를 이용하여 형성할 수도 있다.

<29> 이어서 도 3c에 보이는 바와 같이, 식각공정을 실시하여 제2 산화막 스페이서(35B)를 제거한 다음, 포토레지스트 패턴(PR)을 제거하고, 열산화 공정을 실시하여 전체 구조상에 제2 산화막(36)을 형성한다.

<30> 다음으로 도 3d에 도시한 바와 같이, 제2 산화막(36)을 전면식각하여 상기 제1 산화막 스페이서(35) 측벽에 제3 절연막(36A) 스페이서를 형성함과 동시에 게이트 전극(33)의 타측면에 제4 산화막 스페이서(36B)를 형성한다.

<31> 상기 제3 산화막 스페이서(36A) 및 상기 제2 산화막 스페이서(36B)의 폭은 'L2'로 동일하다. 따라서, 게이트 전극(33)의 일측면에 형성되며 n형 불순물 영역(34)과 중첩되는 절연막 스페이서의 폭은 'L1 + L2'의 크기로 확장되어, 트랜스퍼 트랜지스터의 게이트 전극(33) 측벽에 각기 다른 폭을 갖는 비대칭 구조의 절연막 스페이서가 형성된다.

<32> 계속하여 도 3e에 보이는 바와 같이, 선택적 이온주입 공정을 실시하여 그 하부면 및 일측면이 n형 불순물 영역(34)과 접하여 포토다이오드를 이루며 제1 산화막 스페이서(35A) 및 제2 산화막 스페이서(35B)의 폭만큼 트랜지스터와 이격되는 p형 불순물 도핑영역(37)을 실리콘 기판(30) 표면에 형성한 다음, 실리콘 기판(30) 내에 불순물을 선택적으로 이온주입하여 게이트 전극(43) 타단과 이웃하며 그 일부가 상기 제3 산화막 스페이

서(36B)와 중첩되는 플로팅 확산영역(38)을 형성한다.

<33> 이하, 도 4a 내지 도 4g를 참조하여 본 발명의 제2 실시예에 따른 이미지 센서 제조 방법을 설명한다.

<34> 먼저 도 4a에 도시한 바와 같이, p형 실리콘 기판(40)에 필드산화막(41)을 형성하고, 게이트 절연막(42) 및 0.5 μm 정도의 선폴을 갖는 게이트 전극(43)을 형성한 다음 게이트 전극(43) 일단의 실리콘 기판(40) 내에 n형 불순물을 이온주입해서 포토다이오드를 이룰 n형 불순물 영역(44)을 형성하고, 전체 구조 상에 질화막(45)을 형성한다.

<35> 다음으로 도 4b에 보이는 바와 같이, 게이트 전극(43) 표면 및 그 측면을 덮고 있는 질화막(45)을 노출시키는 제1 포토레지스트 패턴(PR1)을 형성하고, 질화막(45)을 식각으로 제거해서, 게이트 전극(43)의 표면 및 그 일단에 접하는 실리콘 기판(40)을 노출시킨다. 이때, 노출되는 실리콘 기판(40)의 폭은 게이트 전극(43)의 일측면에 형성되어 n형 불순물 영역(44)과 중첩되는 제1 절연막 스페이서의 폭을 고려하여 결정한다. 본 발명의 실시예에서는 약 0.2 μm 만큼 실리콘 기판(40)을 노출시킨다.

<36> 다음으로 도 4c에 도시한 바와 같이, 제1 포토레지스트 패턴(PR1)을 제거하고, CVD(chemical vapor deposition) 공정을 실시하여 전체 구조 상에 제1 산화막(46)을 증착하고, 제1 산화막(46) 상에 게이트 전극(43) 일측면을 덮는 제2 포토레지스트 패턴(PR2)을 형성한다. 본 발명의 실시예를 보이는 도 4c에서는 제2 포토레지스트 패턴(PR2)이 게이트 전극(43) 표면까지 덮도록 형성한 것을 보이고 있지만, 게이트 전극(43) 일측면의 제1 산화막(46)만을 덮도록 제2 포토레지스트 패턴(PR2)을 형성할 수도 있다. 제2

포토리지스트 패턴(PR)과 게이트 전극(43) 일측면의 제1 산화막(46)의 중첩 폭에 따라 제1 산화막 스페이서의 폭이 결정된다.

<37> 이어서 도 4d에 보이는 바와 같이, 제2 포토리지스트 패턴(PR2)으로 덮이지 않은 제1 산화막(46) 및 질화막(45)을 식각해서 실리콘 기판(40)을 노출시키면서, 제2 포토리지스트 패턴(PR) 하부의 제1 산화막(46)을 게이트 전극(43) 일측면에 잔류시키고 제2 포토리지스트 패턴(PR2)을 제거한다.

<38> 다음으로 도 4e에 도시한 바와 같이, 제1 산화막(45)을 전면식각하여 게이트 전극(43)의 일측면에 그 폭이 'L1'인 제1 산화막 스페이서(46A)를 형성하고, CVD 공정을 실시하여 전체 구조 상에 제2 산화막(47)을 형성한다.

<39> 이어서 도 4f에 보이는 바와 같이, 제2 산화막(47)을 전면식각하여 제1 산화막 스페이서(46A) 측벽에 제2 산화막 스페이서(47A)를 형성함과 동시에 게이트 전극(43)의 타측면에 제2 산화막 스페이서(47B)를 형성한다.

<40> 상기 제2 산화막 스페이서(47A) 및 상기 제2 산화막 스페이서(47B)의 폭은 'L2'로 동일하다. 따라서, 게이트 전극(43)의 일측면에 형성되며 n형 불순물 영역(44)과 중첩되는 절연막 스페이서의 폭은 'L1 + L2'의 크기로 확장되어, 트랜스퍼 트랜지스터의 게이트 전극(43) 측벽에 각기 다른 폭을 갖는 비대칭 구조의 절연막 스페이서가 형성된다.

<41> 계속하여 도 4g에 보이는 바와 같이, 선택적 이온주입 공정을 실시하여 그 하부면 및 일측면이 n형 불순물 영역(44)과 접하여 포토다이오드를 이루며 제1 산화막 스페이서(46A) 및 제2 산화막 스페이서(47A)의 폭만큼 트랜지스터와 이격되는 p형 불순물 도핑 영역(48)을 실리콘 기판(40) 표면에 형성한 다음, 실리콘 기판(40) 내에 불순물을 선택적

으로 이온주입하여 게이트 전극(43) 타단과 이웃하며 그 일부가 상기 제3 산화막 스페이서(47B)와 중첩되는 플로팅 확산영역(49)을 형성한다.

<42> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<43> 상기와 같이 이루어지는 본 발명은 광감지 영역인 포토다이오드에서 발생된 광전하를 신호처리 영역으로 전달하는 트랜스퍼 트랜지스터의 게이트 전극 일측면에 형성되며 포토다이오드 영역과 중첩되는 제1 절연막 스페이서의 폭을 상대적으로 크게 형성함으로써 포토다이오드 내의 일정 커패시턴스를 확보함과 동시에 암전류를 억제시키는 효과를 얻을 수 있다. 또한, 트랜스퍼 트랜지스터의 게이트 전극 타측면에 형성되며 플로팅 확산영역과 중첩되는 제2 절연막 스페이서의 폭을 상대적으로 작게 형성함으로써 게이트와 중첩됨에 따른 커패시턴의 감소를 유발시켜 플로팅 확산영역의 전압 스윙폭을 증가시킬 수 있다.

【특허청구범위】**【청구항 1】**

광감지 수단 및 상기 광감지 수단으로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서에 있어서,

반도체 기판;

상기 반도체 기판에 형성된 광감지 수단;

상기 광감지 수단과 이격하여 형성된 트랜스퍼 트랜지스터의 게이트 전극;

상기 게이트 전극 타단의 상기 반도체 기판에 형성된 플로팅 확산영역;

상기 게이트 전극의 일측면에 형성되며 그 일부가 상기 광감지 수단의 일부와 중첩되는 제1 절연막 스페이서; 및

상기 게이트 전극의 타측면에 형성되며 그 일부가 상기 플로팅 확산영역의 일부와 중첩되고 상기 제1 절연막 스페이서보다 그 폭이 작은 제2 절연막 스페이서

를 포함하는 이미지 센서.

【청구항 2】

제 1 항에 있어서,

상기 제1 절연막 스페이서는,

상기 게이트 전극 일측면에 형성된 제1 산화막 스페이서; 및

상기 제1 산화막 스페이서 측면에 형성된 제2 산화막 스페이서로 이루어지는 것을 특징으로 하는 이미지 센서.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 광감지 수단은,

상기 반도체 기판 내에 형성되며 그 일부가 상기 제1 절연막 스페이서와 중첩되는 n형 불순물 도핑영역; 및

그 하부면 및 그 측면이 상기 n형 불순물 도핑영역과 접하는 p형 불순물 도핑영역으로 이루어지는 포토다이오드인 것을 특징으로 하는 이미지 센서.

【청구항 4】

광감지를 위한 포토다이오드 및 상기 포토다이오드로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서의 제조 방법에 있어서,

반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 제1 산화막을 형성하는 제2 단계;

상기 제1 산화막을 전면식각하여 상기 게이트 전극의 일측면에 제1 산화막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제2 산화막 스페이서를 형성하는 제3 단계;

상기 제2 산화막 스페이서를 선택적으로 제거하는 제4 단계;

상기 제4 단계가 완료된 전체 구조 상에 제2 산화막을 형성하는 제5 단계; 및
상기 제2 산화막을 전면식각하여 상기 제1 산화막 스페이서 측벽에 제3 절연막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제4 산화막 스페이서를 형성하는 제6 단계
를 포함하는 이미지 센서 제조 방법.

【청구항 5】

광감지를 위한 포토다이오드 및 상기 포토다이오드로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서의 제조 방법에 있어서,
반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 제1 단계;
상기 게이트 전극 일단의 상기 반도체 기판 내에 선택적으로 불순물을 이온주입하여 포토다이오드를 이룰 제1 불순물 영역을 형성하는 제2단계;
상기 제2 단계가 완료된 전체 구조 상에 제1 산화막을 형성하는 제3단계;
상기 제1 산화막을 전면식각하여 상기 게이트 전극의 일측면에 상기 제1 불순물 영역과 중첩되는 제1 산화막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제2 산화막 스페이서를 형성하는 제4 단계;
상기 제2 산화막 스페이서를 선택적으로 제거하는 제5 단계;
상기 제5 단계가 완료된 전체 구조 상에 제2 산화막을 형성하는 제6 단계;
상기 제2 산화막을 전면식각하여 상기 제1 산화막 스페이서 측벽에 제3 절연막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제4 산화막 스페이서를 형성하

는 제7 단계;

선택적 이온주입 공정을 실시하여, 그 하부면 및 일측면이 상기 제1 불순물 도핑 영역과 접하여 상기 제1 불순물 도핑영역과 함께 포토다이오드를 이루며 상기 제1 산화막 스페이서 및 상기 제2 산화막 스페이서의 폭만큼 상기 트랜스퍼 트랜지스터와 이격되는 제2 불순물 도핑영역을 상기 반도체 기판 표면에 형성하는 제8 단계; 및

상기 반도체 기판 내에 불순물을 선택적으로 이온주입하여 상기 게이트 전극 타단과 이웃하며 그 일부가 상기 제4 산화막 스페이서와 중첩되는 플로팅 확산영역을 형성하는 제9 단계

를 포함하는 이미지 센서 제조 방법.

【청구항 6】

제 4 항 또는 제 5 항에 있어서,

상기 제1 산화막 및 상기 제2 산화막 각각을 열산화 공정으로 형성하는 것을 특징으로 하는 이미지 센서 제조 방법.

【청구항 7】

광감지를 위한 포토다이오드 및 상기 포토다이오드로부터 신호처리 영역으로 광전하를 전송하는 트랜스퍼 트랜지스터를 구비하는 이미지 센서의 제조 방법에 있어서,

반도체 기판 상에 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 제1 단계;

상기 게이트 전극 일단의 상기 반도체 기판 내에 선택적으로 불순물을 이온주입하여 포토다이오드를 이루 제1 불순물 영역을 형성하는 제2 단계;

상기 제2 단계가 완료된 전체 구조 상에 질화막을 형성하는 제3 단계;

상기 질화막을 선택적으로 제거하여 게이트 전극의 표면 및 그 일단에 접하는 상기 반도체 기판을 노출시키는 제4 단계;

상기 제4 단계가 완료된 전체 구조 상에 제1 산화막을 증착하고, 상기 제1 산화막 상에 상기 게이트 전극 일측면의 질화막을 덮는 식각마스크를 형성하는 제5 단계;

상기 식각마스크로 덮이지 않은 상기 제1 산화막 및 질화막을 식각해서 상기 반도체 기판을 노출시키면서, 상기 식각마스크로 덮인 상기 제1 산화막을 게이트 전극 일측면에 잔류시키고, 상기 식각마스크를 제거하는 제6 단계;

상기 제1 산화막을 식각하여 상기 게이트 전극의 일측면에 제1 산화막 스페이서를 형성하는 제7 단계;

상기 제7 단계가 완료된 전체 구조 상에 제2 산화막을 형성하는 제8 단계;

상기 제2 산화막을 전면식각하여 상기 제1 산화막 스페이서 측벽에 제2 산화막 스페이서를 형성함과 동시에 상기 게이트 전극의 타측면에 제3 산화막 스페이서를 형성하는 제9 단계;

선택적 이온주입 공정을 실시하여, 그 하부면 및 일측면이 상기 제1 불순물 도핑영역과 접하여 상기 제1 불순물 도핑영역과 함께 포토다이오드를 이루며 상기 제1 산화막 스페이서 및 상기 제2 산화막 스페이서의 폭만큼 상기 트랜스퍼 트랜지스터와 이격되는 제2 불순물 도핑영역을 상기 반도체 기판 표면에 형성하는 제8 단계; 및

상기 반도체 기판 내에 불순물을 선택적으로 이온주입하여 상기 게이트 전극 타단과 이웃하며 그 일부가 상기 제3 산화막 스페이서와 중첩되는 플로팅 확산영역을 형성하는 제9 단계

를 포함하는 이미지 센서 제조 방법.

【청구항 8】

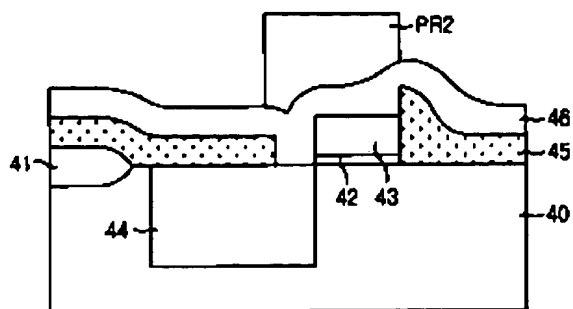
제 7 항에 있어서,

상기 제1 산화막 및 상기 제2 산화막 각각을 화학기상증착법으로 형성하는 것을 특징으로 하는 이미지 센서 제조 방법.

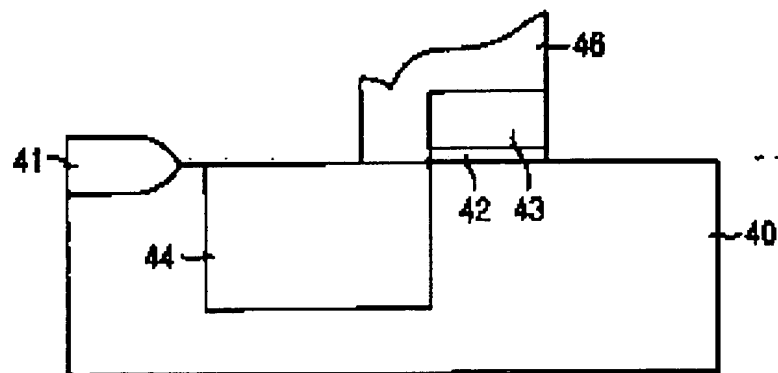
A cross-sectional view of a semiconductor device. A substrate 40 is shown with a gate structure 41 on top. The gate structure 41 has a central rectangular region 42 and a surrounding region 43. The width of the central region 42 is indicated as 0.5 μm. A layer 44 is shown on the side of the gate structure 41, and a layer 45 is shown on the top of the gate structure 41.

[illegible]

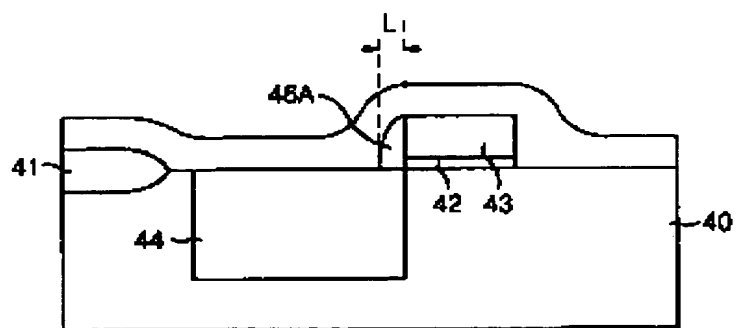
【도 4c】



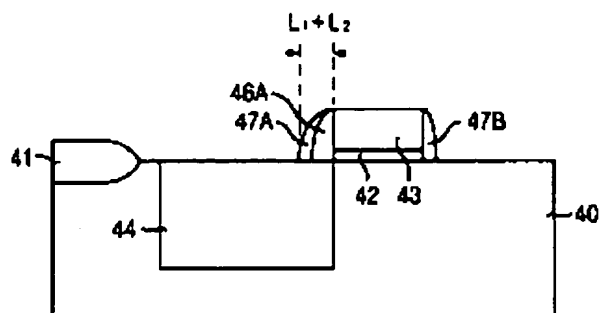
【도 4d】



【도 4e】



【도 4f】



【도 4g】

